

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月22日

出 願 番 号

Application Number:

特願2001-189792

出 願 人

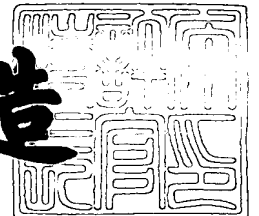
Applicant(s):

株式会社リコー

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3103090

【書類名】 特許願
【整理番号】 178730
【提出日】 平成13年 6月22日
【あて先】 特許庁長官殿
【国際特許分類】 G05F 3/16
H02M 3/156
【発明の名称】 電源回路
【請求項の数】 14
【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 松尾 正浩

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 新田 昇一

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 38394

【出願日】 平成13年 2月15日

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、

上記直流電源からの電源電圧を所定の電圧 V_a に降圧して出力する DC-DC コンバータと、

該 DC-DC コンバータからの出力電圧を少なくとも 1 つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータと、
を備えることを特徴とする電源回路。

【請求項 2】 上記 DC-DC コンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力することを特徴とする請求項 1 記載の電源回路。

【請求項 3】 上記 DC-DC コンバータは、
直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、
該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、

該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、
を備え、

上記制御部は、上記所定の信号が入力されると非活性化状態となり、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時上記平滑回路部に出力させることを特徴とする請求項 1 又は 2 記載の電源回路。

【請求項 4】 上記 DC-DC コンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力することを特徴とする請求項 1 記載の電

源回路。

【請求項 5】 上記 DC-DC コンバータは、
直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、
該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、
該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるように上記スイッチング回路部におけるスイッチング動作の制御を行う制御部と、
を備え、

上記制御部は、上記所定の信号が入力されると、上記スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させることを特徴とする請求項 1 又は 4 記載の電源回路。

【請求項 6】 上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力され、上記平滑回路部からの出力電圧が上記所定の電圧 V_a を超えていると、上記平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を上記所定の電圧 V_a まで低下させることを特徴とする請求項 5 記載の電源回路。

【請求項 7】 上記制御部は、
上記負荷をなすトランジスタと、
上記所定の解除信号が入力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、

上記所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる電流を制御する電流制御回路と、
を備えることを特徴とする請求項 6 記載の電源回路。

【請求項 8】 上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定された場合、上記トランジスタ

に流れる電流を所定の速さで増加させることを特徴とする請求項 7 記載の電源回路。

【請求項 9】 上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a になったと判定されてから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御することを特徴とする請求項 8 記載の電源回路。

【請求項 10】 上記電流制御回路は、上記所定の時間 t_3 経過後、上記トランジスタに流れる電流を所定の速さで減少させることを特徴とする請求項 9 記載の電源回路。

【請求項 11】 上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、上記スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチング回路部に対して出力電流の制御を行うことを特徴とする請求項 5、6、7、8、9 又は 10 記載の電源回路。

【請求項 12】 上記制御部は、検出した電流値が所定値 α 未満のときは、上記スイッチング回路部に対して電源電圧を平滑回路部に出力させ、検出した電流値が所定値 α 以上のときは、該電流値が所定値 α 未満になるまで上記スイッチング回路部に対して出力電流を所定の方法で低下させることを特徴とする請求項 11 記載の電源回路。

【請求項 13】 上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、上記平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_r2 と、上記平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じて上記スイッチング回路部におけるスイッチング動作のデューティサイクルを制御することを特徴とする請求項 5、6、7、8、9、10、11 又は 12 記載の電源回路。

【請求項 14】 上記制御部は、上記平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_r1 と、上記平滑回路部からの出力電

圧に応じた電圧とを比較し、該比較結果に応じて上記スイッチング回路部におけるスイッチング動作のデューティサイクルを制御することを特徴とする請求項 1 3 記載の電源回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、携帯電話等の各種電池を使用する機器等で使用される電源回路に関し、特に、低消費電力化を図ることができる電源回路に関する。

【 0 0 0 2 】

【従来の技術】

従来、直流電源から供給される直流電圧を所定の電圧に降圧する電源回路として、ボルテージレギュレータを使用したものと、DC-DCコンバータを使用したものがあった。

図 5 は、ボルテージレギュレータを使用した電源回路の従来例を示した回路図である。図 5 のボルテージレギュレータ 1 0 0 において、各種電池（2 次電池も含む）等の直流電源 1 0 1 から電源電圧 V_{DD} が印加される電源端と接地との間に P チャネル型 MOS トランジスタ（以下、PMOS トランジスタと呼ぶ）1 0 2、抵抗 1 0 3 及び 1 0 4 が直列に接続されている。

【 0 0 0 3 】

抵抗 1 0 3 及び 1 0 4 は出力電圧 V_{out} を分圧し、該分圧電圧と基準電圧発生回路 1 0 5 で生成して出力される所定の基準電圧 V_{ref} とを電圧比較器 1 0 6 で比較し、該比較結果に応じて PMOS トランジスタ 1 0 2 の動作を制御して出力電圧 V_{out} が所望の値で一定になるようにしている。なお、図 5 では、ボルテージレギュレータ 1 0 0 が CPU 1 0 7 に電源を供給している場合を例にして示している。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかし、このようなボルテージレギュレータは、電源電圧 V_{DD} を所定の出力電圧 V_{out} に降圧する際、PMOS トランジスタ 1 0 1 での電力消費が大きい

という問題があった。例えば、電源電圧VDDを3.6Vとし、ボルテージレギュレータ100で該3.6Vを2Vに降圧して出力する場合、CPU107の消費電流を100mAとすると、PMOSトランジスタ101で電力消費は0.16Wとなる。このように、CPUの動作電圧値が下がっている近年では、電池電圧とCPU動作電圧の差分をボルテージレギュレータで消費させることになり、低消費電力を目指したシステムには不向きであった。

【0005】

そこで、電源に電池を使用する機器では、ボルテージレギュレータの代わりに図6で示すようなDC-DCコンバータを電源回路として使用していた。なお、図6では、DC-DCコンバータにCPUが接続される場合を例にして示している。図6におけるDC-DCコンバータ110は、直流電源101から印加される電源電圧VDDを所望の出力電圧Voutに降圧してCPU107に電源として供給している。

【0006】

一方、電源に電池を使用した機器では、消費電力を極力減らして電池の消耗を抑制するために、必要に応じて、各部の動作を一時的に停止させて低消費電力状態にするスリープ機能を有している。このような場合、図6のCPU107が該スリープ状態になるとき、DC-DCコンバータ110は、該スリープ状態での出力端を接地レベル、又はハイ(High)インピーダンス状態にすることで消費電流の軽減を図っていた。このことは、DC-DCコンバータ110がダイレクトに電源供給先のデバイスであるCPU107の電源をコントロールするために配慮されたものである。

【0007】

また、電源供給先のデバイスであるCPU107が、スリープ状態であるにもかかわらず自動的にオン/オフを繰り返して、必要に応じて機器の各部(図示せず)に対して間欠的に起動をかけるものであった場合、DC-DCコンバータ110を常に活性化状態にして使用する必要があった。DC-DCコンバータ110を常に活性化状態で使用する場合、DC-DCコンバータ110自身での電力消費が機器の消費電力に与える影響が大きかった。また、電源に電池を使用した

機器では、消費電力を極力減らして電池の消耗を抑制する必要がある、DC-DCコンバータ110の代わりに、消費電力の大きいボルテージレギュレータを使用するには問題があった。

【0008】

本発明は、上記のような問題を解決するためになされたものであり、電源供給先のデバイスがスリープ状態ではなく通常の電力消費を行う場合には、DC-DCコンバータを動作させることにより効率よく電源電圧を降圧した後にボルテージレギュレータによって安定した電源を供給し、電源供給先のデバイスがスリープ状態で電力消費が小さい場合には、DC-DCコンバータを非活性化状態にして電力消費を抑えると共に、DC-DCコンバータをスルーした電源電圧をボルテージレギュレータのみで所望の電圧値にレギュレーションした電源を電源供給先のデバイスに供給するようにしたことから、スリープ状態時に電力消費を低減することができると共に、電源供給先のデバイスが該スリープ状態時に間欠的に動作する場合においても該デバイスに電源供給を行うことができる電源回路を得ることを目的とする。

【0009】

【課題を解決するための手段】

この発明に係る電源回路は、直流電源からの電源電圧を所定の電圧に降圧して、所定の機能を有するシステム装置に電源供給を行う電源回路において、直流電源からの電源電圧を所定の電圧 V_a に降圧して出力するDC-DCコンバータと、該DC-DCコンバータからの出力電圧を少なくとも1つの所定の電圧 V_b に降圧して上記システム装置に電源供給を行うボルテージレギュレータとを備えるものである。

【0010】

また、上記DC-DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力するようにしてもよい。

【0011】

具体的には、上記DC-DCコンバータは、直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、該スイッチング回路部から出力される脈流電圧を平滑してボルテージレギュレータに出力する平滑回路部と、該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるようにスイッチング回路部におけるスイッチング動作の制御を行う制御部とを備え、制御部は、上記所定の信号が入力されると非活性化状態となり、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時平滑回路部に出力させるようにした。

【 0 0 1 2 】

一方、上記DC-DCコンバータは、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力するようにしてもよい。

【 0 0 1 3 】

この場合、上記DC-DCコンバータは、直流電源からの電源電圧をスイッチングして出力するスイッチング回路部と、該スイッチング回路部から出力される脈流電圧を平滑して上記ボルテージレギュレータに出力する平滑回路部と、該平滑回路部から出力された電圧を検出し、該検出した電圧に応じて、平滑回路部からの出力電圧が所定の電圧 V_a になるようにスイッチング回路部におけるスイッチング動作の制御を行う制御部とを備え、制御部は、上記所定の信号が入力されると、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を平滑回路部に出力させるようにした。

【 0 0 1 4 】

更に、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力され、平滑回路部からの出力電圧が所定の電圧 V_a を超えていると、平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を所定の電圧 V_a まで低下させるようにした。

【 0 0 1 5 】

具体的には、上記制御部は、負荷をなすトランジスタと、所定の解除信号が入

力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる電流を制御する電流制御回路とを備えるものである。

【 0 0 1 6 】

また、上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定された場合、上記トランジスタに流れる電流を所定の速さで増加させるようにした。

【 0 0 1 7 】

また、上記電流制御回路は、出力電圧判定回路によって平滑回路部の出力電圧が所定の電圧 V_a になったと判定されてから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御するようにした。

【 0 0 1 8 】

更に、上記電流制御回路は、所定の時間 t_3 経過後、上記トランジスタに流れる電流を所定の速さで減少させるものである。

【 0 0 1 9 】

また、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチング回路部に対して出力電流の制御を行うようにしてもよい。

【 0 0 2 0 】

具体的には、上記制御部は、検出した電流値が所定値 α 未満のときは、スイッチング回路部に対して電源電圧を平滑回路部に出力させ、検出した電流値が所定値 α 以上のときは、該電流値が所定値 α 未満になるまでスイッチング回路部に対して出力電流を所定の方法で低下させるようにした。

【 0 0 2 1 】

一方、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作

モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_{r2} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにしてもよい。

【 0 0 2 2 】

この場合、上記制御部は、平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_{r1} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するものである。

【 0 0 2 3 】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態.

図 1 は、本発明の第 1 の実施の形態における電源回路の構成例を示した図である。

図 1 において、電源回路 1 は、各種電池（2 次電池も含む）等の直流電源 1 0 から印加される電源電圧 V_{DD} を降圧して所定の電圧 V_a を出力する DC-DC コンバータ 2 と、DC-DC コンバータ 2 からの出力電圧を降圧して所定の電圧 V_b を出力するボルテージレギュレータ 3 とで構成されている。

【 0 0 2 4 】

電源電圧 V_{DD} が印加される電源端と接地との間には、DC-DC コンバータ 2 が接続され、DC-DC コンバータ 2 の出力端と接地との間にボルテージレギュレータ 3 が接続され、ボルテージレギュレータ 3 の出力端は、電源供給先のデバイスである CPU 1 1 の電源端に接続されている。なお、図 1 では、電源回路 1 から電源供給が行われるデバイスとして CPU 1 1 を例にして示しているが、CPU 1 1 以外にも DSP やメモリ等があり、これらがシステム装置をなす。

【 0 0 2 5 】

ボルテージレギュレータ 3 は、P チャネル型 MOS トランジスタ（以下、PM

OSトランジスタと呼ぶ) 21と、抵抗22, 23と、基準電圧発生回路24と、電圧比較器25とで構成されている。DC-DCコンバータ2の出力端と接地との間にPMOSトランジスタ21、抵抗22及び23が直列に接続され、PMOSトランジスタ21と抵抗22との接続部がボルテージレギュレータ3の出力端をなしている。また、抵抗22と抵抗23との接続部は、電圧比較器25の一方の入力端に接続され、電圧比較器25の他方の入力端には、基準電圧発生回路24からの基準電圧 V_{ref} が入力されている。電圧比較器25の出力端は、PMOSトランジスタ21のゲートに接続されている。

【0026】

抵抗22及び抵抗23は出力電圧 V_b を分圧し、該分圧電圧と基準電圧発生回路24からの基準電圧 V_{ref} を電圧比較器25で比較する。電圧比較器25は、該分圧電圧が基準電圧 V_{ref} よりも大きい場合は、PMOSトランジスタ21から流れる電流が減少するようにPMOSトランジスタ21の動作制御を行い、上記分圧電圧が基準電圧 V_{ref} よりも小さい場合は、PMOSトランジスタ21から流れる電流が増加するようにPMOSトランジスタ21の動作制御を行う。

【0027】

このような構成において、CPU11は、各部の動作を一時的に停止させて低消費電力状態（以下、スリープ状態と呼ぶ）にする機能を有しており、該スリープ状態にするときは、DC-DCコンバータ2に対して所定のスリープ信号SLPを出力する。DC-DCコンバータ2は、CPU11がスリープ状態ではない通常状態の動作を行っているとき、すなわち所定のスリープ信号SLPがCPU11から入力されていないときは、直流電源10から入力される電源電圧VDDを降圧して生成した出力電圧 V_a を、ボルテージレギュレータ3に対して電源電圧として出力する。

【0028】

ボルテージレギュレータ3は、DC-DCコンバータ2から電源電圧として印加される電圧 V_a を降圧して生成した電圧 V_b をCPU11への電源電圧として供給する。このように、電源回路1は、直流電源10からの電源電圧VDDを、

DC-DCコンバータ2で電圧V_aに降圧した後、更にボルテージレギュレータ3で電圧V_bに降圧してCPU11に電源電圧として供給する。例えば、電源電圧VDDを3.6Vの場合、DC-DCコンバータ2の出力電圧V_aは2.0V、ボルテージレギュレータ3の出力電圧V_bは1.8Vといったように、ボルテージレギュレータ3での電圧の降圧値を小さくすることができる。このようにすることによって、ボルテージレギュレータ3の消費電力を低減させることができる。

【0029】

次に、CPU11は、スリープ状態の動作を行うスリープモードの場合、すなわちDC-DCコンバータ2に対して所定のスリープ信号SLPを出力した場合、DC-DCコンバータ2は、非活性化状態となって動作を停止する。DC-DCコンバータ2は、動作を停止すると、直流電源10から印加されている電源電圧VDDをそのまま出力端から出力電圧V_aとして出力する。すなわち、ボルテージレギュレータ3に電源電圧VDDが電源電圧として印加されるが、CPU11はスリープモードで動作しており、該スリープモードで動作を停止している場合はほとんど電流が消費されない。このため、ボルテージレギュレータ3での電力消費はほとんどない。

【0030】

一方、CPU11は、スリープモードの動作として、間欠的、例えば1秒ごとに動作を行う場合がある。しかし、このような間欠動作状態の場合、CPU11が動作するために必要な電源は、ボルテージレギュレータ3がDC-DCコンバータ2をスルーして印加される電源電圧VDDを出力電圧V_bに降圧して得られる。しかし、このときのCPU11によって消費される電流が小さいことから、ボルテージレギュレータ3におけるPMOSトランジスタ21による消費電力は小さい。

【0031】

次に、図2は、DC-DCコンバータ2の内部構成例を示した図であり、図2を用いて、DC-DCコンバータ2の具体的な内部構成について説明する。

図2において、DC-DCコンバータ2は、直流電源10から供給される電源

をスイッチングして出力するスイッチング回路部 31 と、該スイッチング回路部 31 から出力される脈流電圧を平滑する平滑回路部 32 と、スイッチング回路部 31 のスイッチング動作の制御を行う制御部 33 とで構成されている。

【0032】

スイッチング回路部 31 は、PMOS トランジスタ 41 で構成され、該 PMOS トランジスタ 41 のドレインとソースとの間には寄生ダイオード 42 が形成されている。PMOS トランジスタ 41 において、ソースには直流電源 10 から電源電圧 VDD が印加されており、ゲートは制御部 33 に、ドレインは平滑回路部 32 にそれぞれ接続されている。なお、PMOS トランジスタ 41 のサブストレータゲートはソースに接続されている。

【0033】

平滑回路部 32 は、平滑コイルをなすチョークコイル 45 と、平滑コンデンサをなすコンデンサ 46、フライホイールダイオードをなすダイオード 47 で構成されている。チョークコイル 45 とコンデンサ 46 は、PMOS トランジスタ 41 から入力される脈流電圧を平滑して出力するチョーク入力型の平滑回路を形成している。また、チョークコイル 45 の入力端にカソードが接続されると共にアノードが接地されたダイオード 47 がフライホイールダイオードとして設けられている。

【0034】

平滑回路部 32 で平滑された直流電圧は、制御部 33 に出力されると共に出力電圧 V_a としてボルテージレギュレータ 3 に出力される。制御部 33 は、CPU 11 から所定のスリープ信号 SLP が入力されていないときは、あらかじめ設定された周波数、例えば数百 kHz ~ 1 MHz のパルス信号を PMOS トランジスタ 41 のゲートに出力する。

【0035】

また、制御部 33 は、平滑回路部 32 から出力される出力電圧の監視を行い、該出力電圧があらかじめ設定された電圧 V_a、例えば 2.0 V になるように PMOS トランジスタ 41 のゲートに出力するパルス信号のデューティサイクルを制御する。具体的には、制御部 33 は、出力電圧が設定電圧 V_a よりも小さい場合

は、デューティサイクルを小さくしてPMOSトランジスタ41がオンする期間を長くし、出力電圧が設定電圧 V_a よりも大きい場合は、デューティサイクルを大きくしてPMOSトランジスタ41がオンする期間を短くする。更に、制御部33は、出力電圧が設定電圧 V_a になっている場合は、現状のデューティサイクルを維持するようにしてもよい。

【0036】

一方、制御部33は、CPU11から所定のスリープ信号SLPが入力されると、制御部33は非活性化状態となって動作を停止し、PMOSトランジスタ41のゲートはロー（Low）レベルとなる。このため、PMOSトランジスタ41はオンした状態となり、平滑回路部32からの出力電圧は、直流電源10からの電源電圧VDDと同じ電圧になる。

【0037】

なお、上記説明では、ボルテージレギュレータ3は、1つの出力電圧 V_b を出力する場合を例にして説明したが、複数の異なる電圧を出力するようにしてもよい。また、DC-DCコンバータ2におけるスイッチング回路部31及び制御部33、並びにボルテージレギュレータ3は1つのICで形成することができる。

【0038】

更に、図2では、平滑回路部32にフライホイールダイオードを使用した場合を例にして説明したが、図3で示すように、フライホイールダイオードの代わりにPMOSトランジスタ41のドレインと接地との間にNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）51を接続し、該NMOSトランジスタ51の動作制御を制御部33で行うようにしてもよい。

【0039】

この場合、制御部33において、PMOSトランジスタ41への制御信号S1とNMOSトランジスタ51への制御信号S2の関係例は図4で示すようになる。図4で示しているように、制御部33は、同時にオンすることがないようにPMOSトランジスタ41とNMOSトランジスタ51の制御を行う。また、NMOSトランジスタ51は、DC-DCコンバータ2におけるスイッチング回路部31及び制御部33、並びにボルテージレギュレータ3と共に1つのIC内に形

成することができる。

【0040】

このように、本第1の実施の形態における電源回路は、CPU11が通常動作を行う場合は、DC-DCコンバータ2を動作させることにより効率よく電源電圧VDDを電圧Vaに降圧した後、更にボルテージレギュレータ3によって降圧して安定した電圧VbをCPU11に供給し、CPU11がスリープ状態になると、DC-DCコンバータ2は非活性化状態になって動作を停止して電力消費を抑えると共に、DC-DCコンバータ2をスルーした電源電圧VDDをボルテージレギュレータ3のみで所望の電圧VbにレギュレーションしてCPU11に供給するようにした。このことから、通常動作時におけるボルテージレギュレータによる電力消費を低減させることができると共に、電源供給先のCPU、DSP及びメモリ等のデバイスがスリープ状態になると電力消費を低減することができ、該デバイス、例えばCPUがスリープ状態時に間欠的に動作する場合においても、該デバイスに電源の供給を行うことができる。

【0041】

第2の実施の形態。

上記第1の実施の形態では、DC-DCコンバータ2は、スリープ状態になると非活性化状態となって動作を停止し、電源電圧VDDをスルーしてボルテージレギュレータ3に出力するようにした。しかし、このようにすると、スリープモードから通常動作に移行する際に、DC-DCコンバータ2の出力電圧にアンダシュートが発生する可能性があると共に、通常動作からスリープモードに移行する際にDC-DCコンバータ2の出力電圧にオーバシュートが発生する可能性があった。このことから、DC-DCコンバータにこのようなアンダシュート及びオーバシュートを防止する機能を付加するようにしてもよく、このようにしたものを本発明の第2の実施の形態とする。

【0042】

なお、本発明の第2の実施の形態における電源回路の構成例を示した図は、DC-DCコンバータ2をDC-DCコンバータ2aにすると共に、電源回路1を電源回路1aにする以外は図1と同じであることから省略する。また、本第2の

実施の形態の説明では、スリープ信号 S L P が、通常動作時にはローレベル、スリープモード時にはハイレベルになる場合を例にして説明すると共に、図 2 の場合を例にして説明し、図 3 の場合は同様であるのでその説明を省略する。

【 0 0 4 3 】

図 7 は、本発明の第 2 の実施の形態における電源回路の D C - D C コンバータの内部回路例を示した図であり、図 7 では、図 2 と同じものは同じ符号で示しており、ここではその説明を省略する。

図 7 において、D C - D C コンバータ 2 a は、スイッチング回路部 3 1、平滑回路部 3 2 及びスイッチング回路部 3 1 のスイッチング動作の制御を行う制御部 3 3 a とで構成されている。

【 0 0 4 4 】

制御部 3 3 a は、平滑回路部 3 2 からの出力電圧 V_o が所定の電圧 V_a になるように P M O S トランジスタ 4 1 のゲートに出力するパルス信号のデューティサイクルを制御するデューティ制御回路部 6 1 と、出力電圧 V_o のアンダシュートを防止するアンダシュート防止回路部 6 2 と、出力電圧 V_o のオーバシュートを防止するオーバシュート防止回路部 6 3 とで構成されている。なお、制御部 3 3 a に入力されたスリープ信号 S L P は、デューティ制御回路部 6 1、アンダシュート防止回路部 6 2 及びオーバシュート防止回路部 6 3 にそれぞれ入力されるが、図 7 では省略している。

【 0 0 4 5 】

ここで、上述したように、スリープモード時には、P M O S トランジスタ 4 1 のゲートがローレベルとなることから、出力電圧 V_o は電源電圧 V_{DD} になっている。次に、スリープモードが解除されてもボルテージレギュレータ 3 は直ちに動作を開始することはできず、ボルテージレギュレータ 3 が動作を開始するまでには一定の時間を要する。このため、スリープモードが解除されてから一定の時間は、出力電圧 V_o が設定電圧 V_a よりも大きい電源電圧 V_{DD} 近傍から低下しない。このことから、制御部 3 3 a は、P M O S トランジスタ 4 1 のゲートをハイレベルにし、P M O S トランジスタ 4 1 をオフさせて遮断状態にする。

【 0 0 4 6 】

このように、出力電圧 V_o が電源電圧 V_{DD} 近傍である状態でボルテージレギュレータ 3 が動作を開始して DC-DC コンバータ 2 a に負荷が接続された状態になり、図 8 で示すように、平滑回路部 3 2 から負荷電流 i_o (図 8 では、200 mA の負荷電流 i_o) が流れ出すと、出力電圧 V_o が急激に低下してアンダシュートが発生し、出力電圧 V_o が一時的に設定電圧 V_a を大きく下回る状態が発生する可能性がある。

【0047】

これに対して、通常動作からスリープモードに移行した場合、PMOS トランジスタ 4 1 をオンさせて直ちに導通状態にすると、出力電圧 V_o が設定電圧 V_a から電源電圧 V_{DD} に急激に上昇する。この場合、出力電圧 V_o には図 8 で示すようなオーバシュートが発生し、出力電圧 V_o が一時的に電源電圧 V_{DD} よりも大きく上回る場合が生じる可能性がある。アンダシュート防止回路部 6 2 は、このような出力電圧 V_o のアンダシュートを防止するためのものであり、オーバシュート防止回路部 6 3 は、このような出力電圧 V_o のオーバシュートを防止するためのものである。

【0048】

デューティ制御回路部 6 1 は、出力電圧 V_o の検出を行う出力電圧検出部 7 1 と、該出力電圧検出部 7 1 で検出された出力電圧 V_o に応じて PMOS トランジスタ 4 1 のゲートへのパルス信号におけるデューティサイクルの制御を行うデューティ制御部 7 2 とで構成されている。出力電圧検出部 7 1 は、演算増幅器 7 3 と、出力電圧 V_o を分圧して出力する分圧回路 7 4 と、基準電圧 V_{r1} を生成して出力する V_{r1} 発生回路 7 5 とで形成されている。分圧回路 7 4 は、出力電圧 V_o と接地との間に直列に接続された抵抗 7 6、7 7 及び NMOS トランジスタ 7 8 で構成され、NMOS トランジスタ 7 8 のゲートには、スリープ信号 SLP の信号レベルをインバータ等 (図示せず) で反転させた信号 $SLPB$ が入力されている。

【0049】

出力電圧検出部 7 1 において、通常動作時には、スリープ信号 SLP はローレベルであり、NMOS トランジスタ 7 8 はゲートにハイレベルの信号 $SLPB$ が

入力されオンして導通状態となり、出力電圧 V_o を抵抗76及び77で分圧した分圧電圧 V_d が出力される。該分圧電圧 V_d は、演算増幅器73の反転入力端に出力され、 V_{r1} 発生回路75からの基準電圧 V_{r1} が演算増幅器73の非反転入力端に入力される。演算増幅器73は、入力された分圧電圧 V_d と基準電圧 V_{r1} との比較を行い、該比較結果に応じた電圧をデューティ制御部72に出力する。デューティ制御部72は、入力された比較結果に応じたデューティサイクルのパルス信号を生成してPMOSトランジスタ41のゲートに出力する。

【0050】

また、スリープモードの動作を行うためにハイレベルのスリープ信号SLPがCPU11から入力されると、出力電圧検出部71の演算増幅器73及び V_{r1} 発生回路75並びにデューティ制御部72は、それぞれ動作を停止する。同時に、分圧回路74において、NMOSトランジスタ78がオフして遮断状態となり出力電圧 V_o が分圧電圧 V_d として出力される。デューティ制御部72は、動作を停止すると出力端はオープンとなってハイインピーダンス状態になる。

【0051】

次に、アンダシュート防止回路部62は、平滑回路部32の出力端から接地へ電流 i_a を流す負荷としての動作を行うNMOSトランジスタ81と、分圧回路74からの分圧電圧 V_d と V_{r1} 発生回路75からの基準電圧 V_{r1} との比較を行い、該比較結果に応じた2値の信号を出力する電圧比較器をなす演算増幅器82とを備えている。更に、アンダシュート防止回路部62は、該演算増幅器82からの出力電圧に応じてNMOSトランジスタ81の動作制御を行い平滑回路部32の出力端から流れる電流 i_a の制御を行う電流制御回路83を備えている。なお、演算増幅器82は、出力電圧検出部61の分圧回路74及び V_{r1} 発生回路75と共に出力電圧判定回路をなしている。

【0052】

アンダシュート防止回路部62において、スリープモードの動作を行うためにハイレベルのスリープ信号SLPがCPU11から入力されると、演算増幅器82及び電流制御回路83は、それぞれ動作を停止し、NMOSトランジスタ81はオフして遮断状態となる。スリープモード時には、PMOSトランジス

タ41がオンして導通状態であることから、出力電圧 V_o は、電源電圧 V_{DD} になっている。

【0053】

次に、スリープモードから通常動作に切り替わると、演算増幅器82及び電流制御回路83はそれぞれ活性化状態となって動作を開始する。このとき、出力電圧 V_o は、設定電圧 V_a よりも大きい電源電圧 V_{DD} であることから、制御部33aからはPMOSトランジスタ41をオフさせるハイレベルのゲート電圧が出力されている。このため、基準電圧 V_{r1} よりも分圧電圧 V_d の方が大きく、演算増幅器82の出力端は、ローレベルとなる。

【0054】

電流制御回路83は、演算増幅器82からローレベルの信号が入力されると所定の速さでNMOSトランジスタ81のゲート電圧 V_g を上昇させ、図9で示すように、NMOSトランジスタ81には、入力されたゲート電圧 V_g に応じた電流 i_a が流れる。出力電圧 V_o は、電源電圧 V_{DD} から次第に低下し、設定電圧 V_a まで低下する、すなわち分圧電圧 V_d が基準電圧 V_{r1} よりも低下すると、演算増幅器82の出力端はハイレベルになる。

【0055】

電流制御回路83は、演算増幅器82からハイレベルの信号が入力されると所定の時間 t_2 の間は引き続きゲート電圧 V_g を上昇させ、所定の時間 t_3 の間ゲート電圧 V_g を電源電圧 V_{DD} で保持した後、所定の時間 t_4 をかけてNMOSトランジスタ81のゲート電圧 V_g を電源電圧 V_{DD} から接地レベルまで低下させる。このとき、NMOSトランジスタ81に流れる電流 i_a は、図9のようになり、ゲート電圧 V_g は図10のようになる。図10で示すように、演算増幅器82からハイレベルの信号が入力されてから所定の時間 t_2 の間引き続き t_1 間と同じ速度でゲート電圧 V_g を上昇させるようにしたのは、出力電圧 V_o が設定電圧 V_a になってからデューティ制御部72がPMOSトランジスタ41に対する動作制御を開始するまでに一定の遅延時間が存在するためである。

【0056】

なお、図10では、電流制御回路83が、NMOSトランジスタ81にゲート

電圧 V_g の印加を開始して時間 t_1 後に、ゲート電圧 V_g を電源電圧 V_{DD} まで上昇させる前に演算増幅器 8 2 からハイレベルの信号が入力された場合を示している。これに対して、演算増幅器 8 2 からハイレベルの信号が入力された時点で、電流制御回路 8 3 がゲート電圧 V_g を電源電圧 V_{DD} まで上昇させた場合、ゲート電圧 V_g の変化は図 1 1 のようになる。図 1 1 では、図 1 0 の時間 t_1 が、該 t_1 よりも長い時間 t_1' になり、電流制御回路 8 3 は、時間 t_2 の間ゲート電圧 V_g を上昇させようとするが、すでにゲート電圧 V_g が電源電圧 V_{DD} になっていることから、結果的にゲート電圧 V_g は $(t_2 + t_3)$ の間電源電圧 V_{DD} で保持されることになる。

【 0 0 5 7 】

また、電流制御回路 8 3 が NMOS トランジスタ 8 1 のゲート電圧を接地レベルまで低下させる間に、ボルテージレギュレータ 3 が動作を開始して平滑回路部 3 2 からボルテージレギュレータ 3 に負荷電流 i_o が流れるように、電流制御回路 8 3 に NMOS トランジスタ 8 1 のゲート電圧に関する各設定がなされている。すなわち、電流制御回路 8 3 において、NMOS トランジスタ 8 1 のゲート電圧に対する、昇圧速度、電源電圧 V_{DD} で保持する時間 t_2 、 t_3 及び電源電圧 V_{DD} から接地レベルまで低下させる降圧速度がそれぞれ電流制御回路 8 3 にあらかじめ設定されている。

【 0 0 5 8 】

一方、オーバシュート防止回路部 6 3 は、通常動作時には非活性化状態になって出力端がオープンになり PMOS トランジスタ 4 1 へのゲート電圧の印加を停止する。これに対して、スリープモード時には、オーバシュート防止回路部 6 3 は、活性化状態になって PMOS トランジスタ 4 1 から出力される電流の検出を行い、該検出した電流に応じて PMOS トランジスタ 4 1 のゲート電圧の制御を行う。

【 0 0 5 9 】

スリープモード時において、オーバシュート防止回路部 6 3 は、検出した電流が所定値 α 未満、例えば 1 A 未満のときは PMOS トランジスタ 4 1 のゲートをローレベルにして PMOS トランジスタ 4 1 をオンさせ、出力電圧 V_o を電源電

圧VDDに上昇させる。また、検出した電流が所定値 α 以上、例えば1 A以上のとき、オーバシュート防止回路部63は、PMOSトランジスタ41から供給される電流を次第に低下させて所定値 α 未満になるように該検出した電流値に応じてPMOSトランジスタ41に対するゲート電圧を順次上昇させていく。

【0060】

このように各部が動作することにより、出力電圧V_oは図12で示すようになり、スリープモードから通常動作に移行した際に生じる出力電圧V_oのアンダシュートを低減することができると共に、通常動作からスリープモードに移行した際に生じるオーバシュートを低減することができる。更に、オーバシュート防止回路部63は、スリープモード時に、平滑回路部32に接続された負荷が短絡した場合等にPMOSトランジスタ41から過大な電流が流れることを防止する回路としての機能をも有する。このため、スリープモード時において、DC-DCコンバータ2aから異常電流が出力されることを防止することができ、信頼性の向上を図ることができる。

【0061】

ここで、図7では、出力電圧検出部71における演算増幅器73は、基準電圧V_{r1}と分圧電圧V_dとの比較結果を出力し、該比較結果に応じたデューティサイクルのパルス信号をPMOSトランジスタ41のゲートに出力するようにした。このようにした場合、出力電圧V_o、分圧電圧V_d及び基準電圧V_{r1}は、図13のようになる。なお、図13では、1点鎖線で囲んだ部分は拡大して示している。スリープ解除時においては、DC-DCコンバータ2aは非活性化状態とほぼ同じ状態であるため、急に負荷がかかると出力電圧V_oは、第1の実施の形態よりもアンダシュートは大幅に低減されるが、設定電圧V_aからある程度下がることが予想される。

【0062】

これに対して、図14で示すように、あらかじめ設定された電圧変化を行うように基準電圧V_{r2}を生成して出力するV_{r2}発生回路91を設け、演算増幅器73は、出力電圧V_oが設定電圧V_aよりも高い場合にV_{r2}発生回路91からの基準電圧V_{r2}を用いて比較を行うようにしてもよい。なお、図14では、図

7と同じものは同じ符号で示すと共に、ここではその説明を省略すると共に、図7との相違点のみ説明する。また、図14では、制御部33aに入力されたスリープ信号SLPは、デューティ制御回路部61a、アンダシュート防止回路部62及びオーバシュート防止回路部63にそれぞれ入力されるが、図7と同様省略している。

【0063】

図14における図7との相違点は、 V_{r2} 発生回路91、入力された制御信号に応じて基準電圧 V_{r1} 又は基準電圧 V_{r2} のいずれか一方を排他的に演算増幅器73の非反転入力端に出力する切替回路92と、分圧電圧 V_d に応じて切替回路92の動作制御を行う演算増幅器93とを設けたことにある。これに伴って、図7の出力電圧検出部71を出力電圧検出部71aにし、図7のデューティ制御回路部61をデューティ制御回路部61aにした。

【0064】

図14において、制御部33aは、デューティ制御回路部61aと、アンダシュート防止回路部62と、オーバシュート防止回路部63とで構成されている。更に、デューティ制御回路部61aは、出力電圧 V_o の検出を行う出力電圧検出部71aと、該出力電圧検出部71aで検出された出力電圧 V_o に応じてPMOSトランジスタ41のゲートへのパルス信号におけるデューティサイクルの制御を行うデューティ制御部72とで構成されている。

【0065】

出力電圧検出部71aは、演算増幅器73、分圧回路74、 V_{r1} 発生回路75、 V_{r2} 発生回路91、切替回路92及び演算増幅器93で構成されている。スリープモード時には、図7の出力電圧検出部71と同様に、演算増幅器73及び V_{r1} 発生回路75はそれぞれ動作を停止すると共に、分圧回路74は出力電圧 V_o が分圧電圧 V_d として出力される。更に、 V_{r2} 発生回路91、切替回路92及び演算増幅器93もそれぞれ動作を停止する。

【0066】

次に、スリープモードから通常動作に切り替わるスリープ解除時に、出力電圧検出部71aの各部は動作を開始する。 V_{r2} 発生回路91は、スリープ解除時

に分圧電圧 V_d よりも低い所定の電圧 V_x から、あらかじめ設定された一定時間をかけて基準電圧 V_{r1} まで低下するように、基準電圧 V_{r2} を所定の速度で変化させて生成し出力する。

【 0 0 6 7 】

演算増幅器 9 3 は、分圧電圧 V_d と基準電圧 V_{r1} との比較を行い、分圧電圧 V_d が基準電圧 V_{r1} よりも大きい場合、ローレベルの制御信号を切替回路 9 2 に出力する。切替回路 9 2 は、演算増幅器 9 3 からローレベルの制御信号が入力されると、基準電圧 V_{r2} を演算増幅器 7 3 の非反転入力端に出力する。また、分圧電圧 V_d が基準電圧 V_{r1} 以下になると、演算増幅器 9 3 は、ハイレベルの制御信号を切替回路 9 2 に出力する。切替回路 9 2 は、演算増幅器 9 3 からハイレベルの制御信号を入力されると、基準電圧 V_{r1} を演算増幅器 7 3 の非反転入力端に出力する。

【 0 0 6 8 】

このようにすることによって、出力電圧 V_o 、分圧電圧 V_d 及び基準電圧 V_{r2} は、図 1 5 のようになり、スリープ解除時には、DC-DC コンバータ 2 a は活性化状態にあることから、急に負荷がかかった場合の出力電圧 V_o における、設定電圧 V_a からの低下、すなわちアンダシュートをより一層低減することができる。なお、図 1 5 では、1 点鎖線で囲んだ部分は拡大して示している。図 1 5 において、出力電圧 V_o の電圧低下特性よりも緩やかに電圧が低下するように、基準電圧 V_{r2} の電圧低下特性を設定するとよい。

【 0 0 6 9 】

このように、本第 2 の実施の形態における電源回路は、アンダシュート防止回路部 6 2 及びオーバシュート防止回路部 6 3 を追加したことにより、スリープモードから通常動作に移行する際に生じる出力電圧 V_o のアンダシュートを減少させることができると共に、通常動作からスリープモードに移行する際に生じる出力電圧 V_o のオーバシュートを減少させることができる。

【 0 0 7 0 】

更に、スリープモードから通常動作に移行した際、デューティ制御回路部 6 1 a は、出力電圧 V_o が所定の電圧 V_a に低下するまでの間、所定の時間をかけて

分圧電圧 V_d よりも低い所定の電圧 V_x から、あらかじめ設定された一定時間をかけて基準電圧 V_{r1} まで低下するように変化させる基準電圧 V_{r2} を用いてPMOSトランジスタ41のゲート電圧のデューティ制御を行うようにした。このことから、スリープモードから通常動作に移行する際に生じる出力電圧 V_o のアンダシュートをより一層低減させることができる。

【0071】

【発明の効果】

上記の説明から明らかなように、本発明の電源回路によれば、DC-DCコンバータで電源電圧を所定の電圧 V_a に降圧した後、更にボルテージレギュレータによって所定の電圧 V_b に降圧してシステム装置に電源供給するようにした。このことから、ボルテージレギュレータによる消費電力を低減させることができるため、低消費電力化を図ることができ、各種電池（2次電池も含む）を電源とした機器において、電池の消耗を抑制することができる。

【0072】

また、DC-DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、非活性化状態となって動作を停止し、直流電源からの電源電圧を出力するようにした。このことから、電源供給先のシステム装置が低消費電力の動作モードを実行して一時的に動作を停止する際、DC-DCコンバータを非活性化状態にして動作を停止させることができるため、更に低消費電力化を図ることができると共に、システム装置、例えばCPUが低消費電力動作時において間欠的に動作する場合においても、電源の供給を行うことができる。

【0073】

具体的には、DC-DCコンバータにおいて、制御部は、システム装置から所定の信号が入力されると非活性化状態となり、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を常時平滑回路部に出力するようにした。このことから、DC-DCコンバータにおいて、簡単な構成で、非活性化状態時に直流電源からの電源電圧をボルテージレギュレータに出力することができる。

【0074】

一方、上記DC-DCコンバータは、電源供給先のシステム装置から、低消費電力の動作モードを実行する際に出力される所定の信号が入力されると、直流電源からの電源電圧を出力するようにした。このことから、電源供給先のシステム装置が低消費電力の動作モードを実行して一時的に動作を停止する際、DC-DCコンバータにおける所定の電圧 V_a を生成する動作を停止させることができるため、低消費電力化を図ることができると共に、システム装置、例えばCPUが低消費電力動作時において間欠的に動作する場合においも、電源の供給を行うことができる。

【0075】

この場合、DC-DCコンバータにおいて、制御部は、上記所定の信号が入力されると、スイッチング回路部に対して、スイッチング動作を停止させ直流電源からの電源電圧を上記平滑回路部に出力させるようにした。このことから、DC-DCコンバータにおいて、簡単な構成で、低消費電力の動作モード時に直流電源からの電源電圧をボルテージレギュレータに出力することができる。

【0076】

更に、上記制御部は、低消費電力の動作モードが解除されたときに、平滑回路部からの出力電圧が所定の電圧 V_a を超えていると、平滑回路部の出力端に負荷を接続し、該負荷に流れる電流を制御して平滑回路部から出力される電圧を所定の電圧 V_a まで低下させるようにした。このことから、低消費電力の動作モードから通常動作に移行する際に、DC-DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートを低減させることができる。

【0077】

具体的には、上記制御部は、負荷をなすトランジスタと、所定の解除信号が入力されると、平滑回路部から出力された電圧が所定の電圧 V_a 以下であるか否かを判定し、該判定結果を出力する出力電圧判定回路と、所定の解除信号が入力されると、該出力電圧判定回路からの判定結果に応じて上記トランジスタの動作制御を行い、該トランジスタに流れる電流を制御する電流制御回路とを備えるようにした。このことから、簡単な構成で、低消費電力の動作モードから通常動作に

移行する際に、DC-DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートを低減させることができる。

【0078】

また、上記電流制御回路は、出力電圧判定回路が平滑回路部の出力電圧が所定の電圧 V_a を超えていると判定した場合、上記トランジスタに流れる電流を所定の速さで増加させるようにした。このことから、低消費電力の動作モードから通常動作への移行時に、平滑回路部の出力電圧を電源電圧から所定の電圧 V_a に次第に低下させることができるため、平滑回路部の出力電圧におけるアンダシュートを低減させることができる。

【0079】

また、上記電流制御回路は、出力電圧判定回路が平滑回路部の出力電圧が所定の電圧 V_a になったと判定してから、所定の時間 t_2 の間、引き続き上記トランジスタに流れる電流を所定の速さで増加させた後、所定の時間 t_3 の間、上記トランジスタに対して飽和電流が流れるように制御するようにした。このことから、平滑回路部の出力電圧が所定の電圧 V_a になってから制御部がスイッチング回路部に対するスイッチング動作の制御を開始するまでの時間に、平滑回路部の出力端に急激な負荷電流の増加を防止することができ、平滑回路部の出力電圧におけるアンダシュートを低減させることができる。

【0080】

更に、上記電流制御回路は、所定の時間 t_3 経過後、上記トランジスタに流れる電流を所定の速さで減少させるようにした。このことから、トランジスタに電流が流れている状態のときにボルテージレギュレータが動作を開始するようにすることができ、ボルテージレギュレータの動作開始時に、平滑回路部の出力端からの出力電流が急激に増加することによる、平滑回路部の出力電圧のアンダシュートを低減させることができる。

【0081】

また、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを実行する際に出力される上記所定の信号が入力されると、上記スイッチング回路部から出力される電流を検出し、該検出した電流値に応じてスイッチン

グ回路部に対して出力電流の制御を行うようにした。このことから、通常動作から低消費電力の動作モードへの移行時に、平滑回路部の出力電圧を所定の電圧 V_a から電源電圧への急激な上昇を防止することができるため、平滑回路部の出力電圧におけるオーバシュートを低減させることができる。

【 0 0 8 2 】

具体的には、上記制御部は、検出した電流値が所定値 α 未満のときは、スイッチング回路部に対して電源電圧を平滑回路部に出力させ、検出した電流値が所定値 α 以上のときは、該電流値が所定値 α 未満になるまでスイッチング回路部に対して出力電流を所定の方法で低下させるようにした。このことから、通常動作から低消費電力の動作モードへの移行時に、平滑回路部の出力電圧を所定の電圧 V_a から電源電圧への急激な上昇を確実に防止することができる。

【 0 0 8 3 】

一方、上記制御部は、電源供給先の上記システム装置から、低消費電力の動作モードを解除して通常動作を行う際に出力される所定の解除信号が入力されると、平滑回路部からの出力電圧が所定の電圧 V_a に低下するまでの間、一定速度で低下する基準電圧 V_{r2} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにした。このことから、低消費電力の動作モードから通常動作に移行する際に、DC-DCコンバータからボルテージレギュレータへの出力電圧に発生するアンダシュートをより一層低減させることができる。

【 0 0 8 4 】

この場合、平滑回路部からの出力電圧が所定の電圧 V_a まで低下すると、所定の基準電圧 V_{r1} と、平滑回路部からの出力電圧に応じた電圧とを比較し、該比較結果に応じてスイッチング回路部におけるスイッチング動作のデューティサイクルを制御するようにした。このことから、アンダシュートを低減させて平滑回路部の出力電圧を所定の電圧 V_a にした後、低消費電力の動作モードから通常動作への移行が完了した時点で通常動作を行うことができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における電源回路の構成例を示した図

である。

【図 2】 図 1 における DC-DC コンバータ 2 の内部構成例を示した図である。

【図 3】 図 1 における DC-DC コンバータ 2 の内部構成の変形例を示した図である。

【図 4】 図 3 の各トランジスタに対する制御部 3 3 からの各制御信号の例を示したタイミングチャートである。

【図 5】 従来の電源回路の例を示した回路図である。

【図 6】 従来の電源回路の他の例を示した概略のブロック図である。

【図 7】 本発明の第 2 の実施の形態における電源回路の DC-DC コンバータの内部回路例を示した図である。

【図 8】 図 7 の出力電圧 V_o の特性例を示した図である。

【図 9】 図 7 の NMOS トランジスタ 8 1 に流れる電流 i_a の特性例を示した図である。

【図 1 0】 ゲート電圧 V_g の特性例を示した図である。

【図 1 1】 ゲート電圧 V_g の他の特性例を示した図である。

【図 1 2】 図 7 における出力電圧 V_o の特性例を示した図である。

【図 1 3】 図 7 における出力電圧 V_o 、分圧電圧 V_d 及び基準電圧 V_{r1} の各関係例を示した図である。

【図 1 4】 本発明の第 2 の実施の形態における電源回路の DC-DC コンバータの内部回路の他の例を示した図である。

【図 1 5】 図 1 4 における出力電圧 V_o 、分圧電圧 V_d 、基準電圧 V_{r1} 及び V_{r2} の各関係例を示した図である。

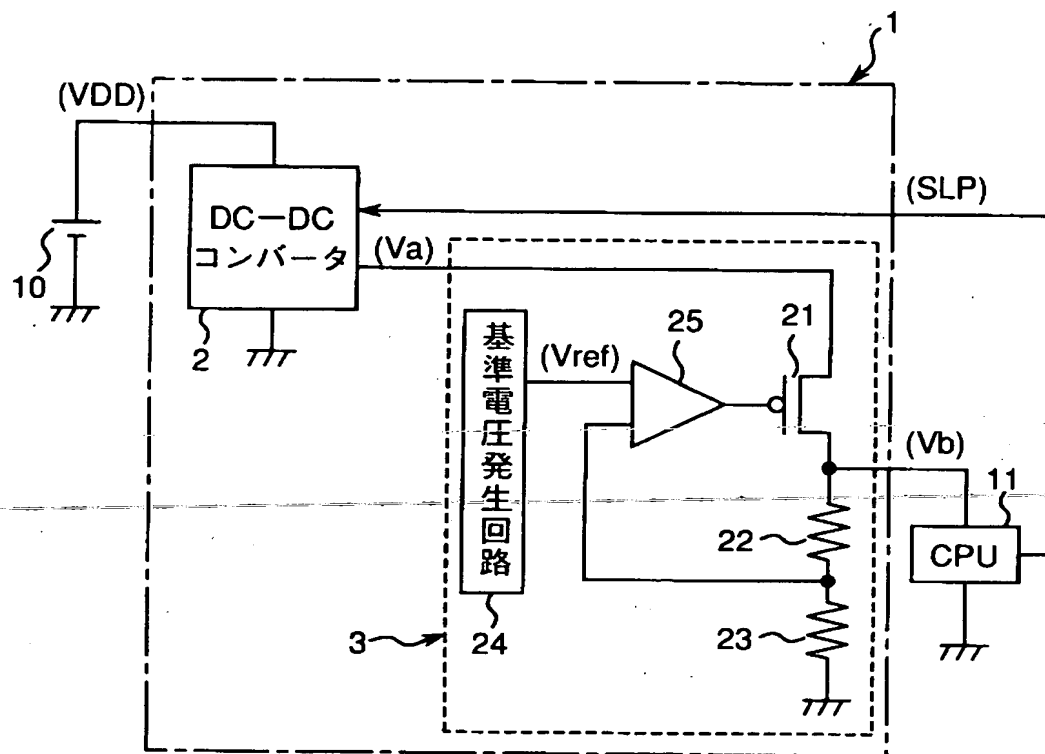
【符号の説明】

- 1, 1 a 電源回路
- 2, 2 a DC-DC コンバータ
- 3 ボルテージレギュレータ
- 1 0 直流電源
- 1 1 CPU

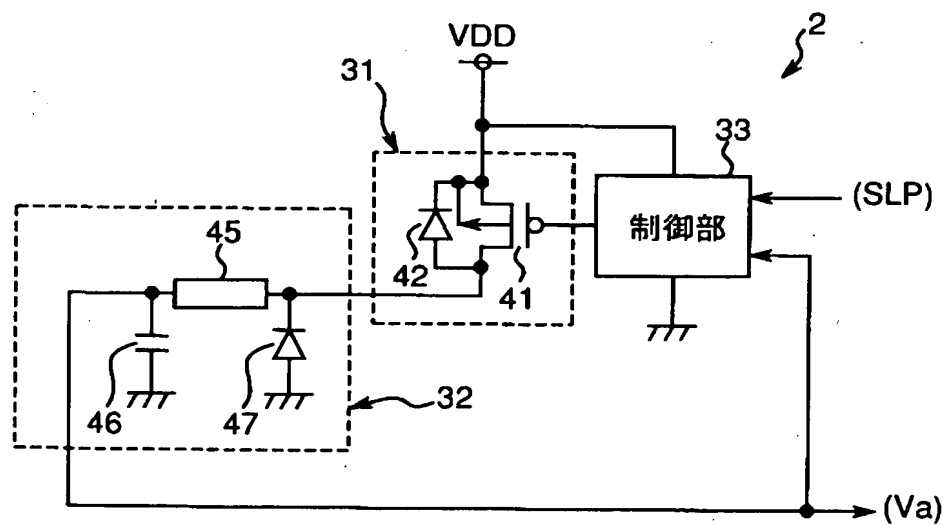
- 3 1 スイッチング回路部
- 3 2 平滑回路部
- 3 3, 3 3 a 制御部
- 6 1, 6 1 a デューティ制御回路部
- 6 2 アンダシュート防止回路部
- 6 3 オーバシュート防止回路部
- 7 1, 7 1 a 出力電圧検出部
- 7 2 デューティ制御部
- 7 3, 8 2, 9 3 演算増幅器
- 7 4 分圧回路
- 7 5 ~~V_{r1}発生回路~~
- 8 1 NMOSトランジスタ
- 8 3 電流制御回路
- 9 1 V_{r2}発生回路
- 9 2 切替回路

【書類名】 図面

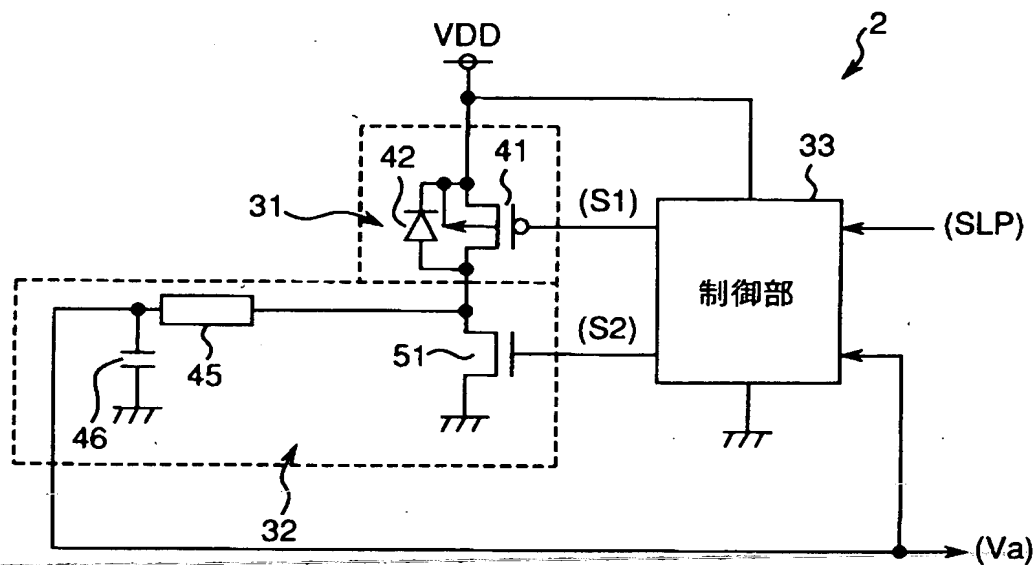
【図 1】



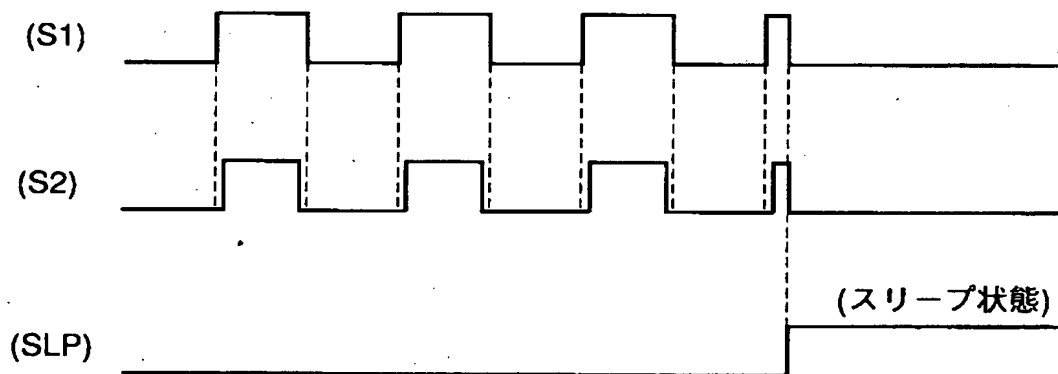
【図 2】



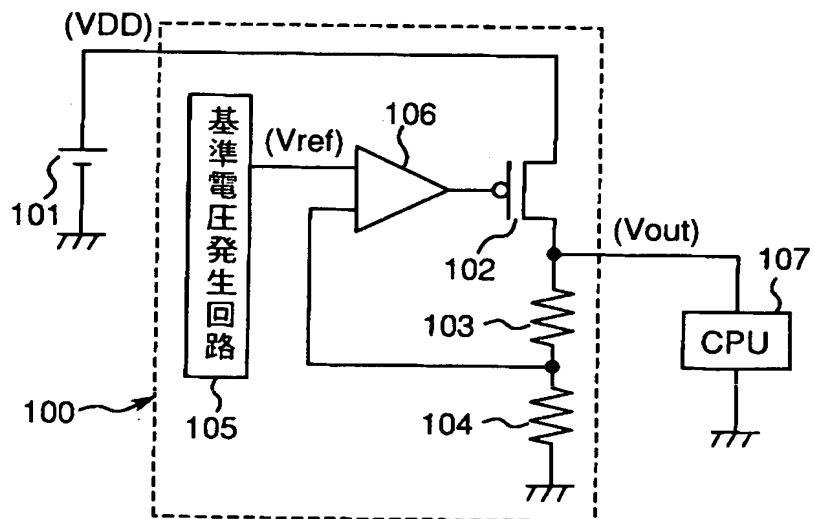
【図 3】



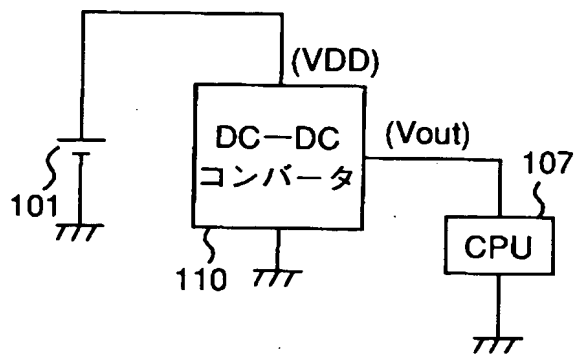
【図 4】



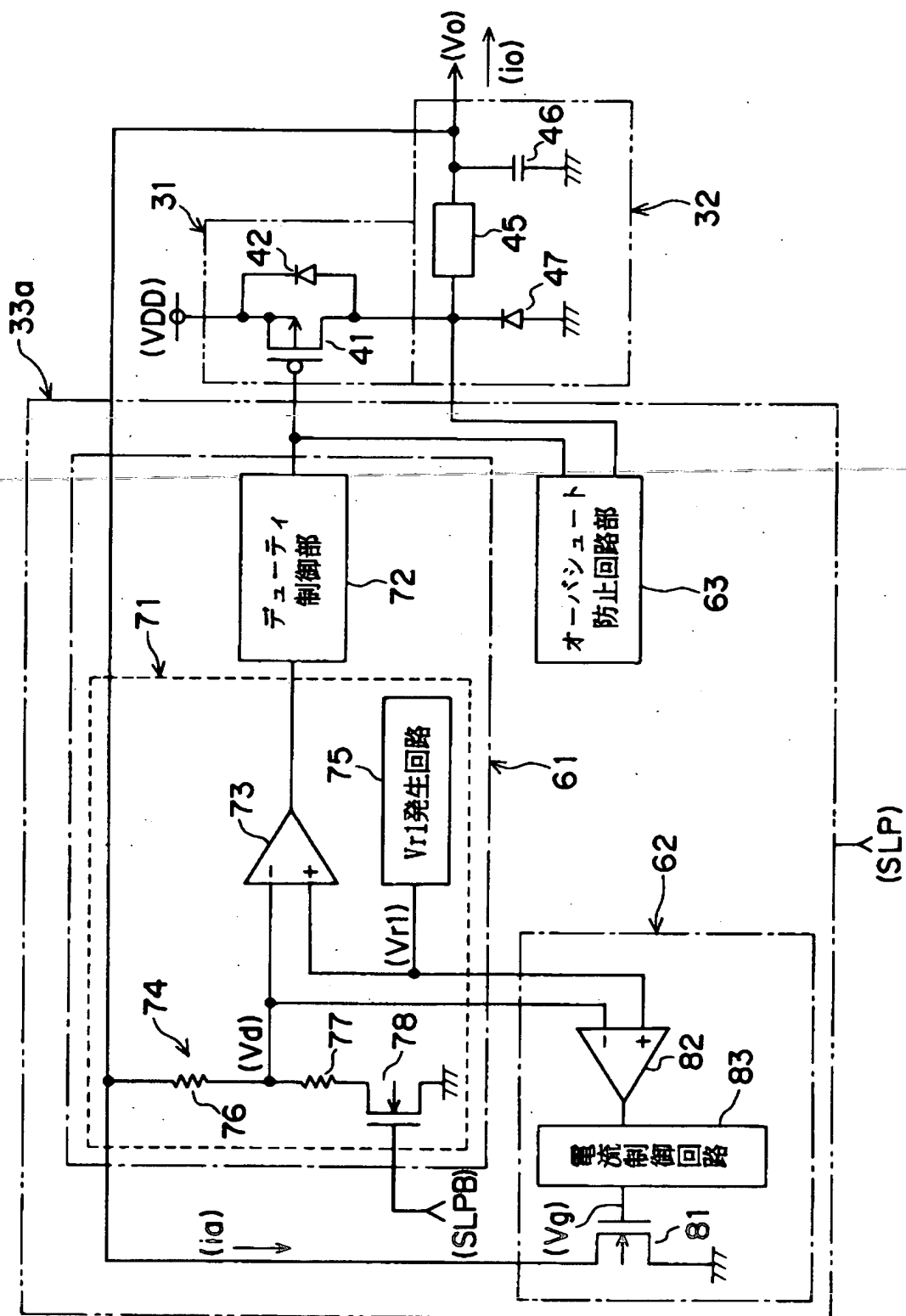
【図 5】



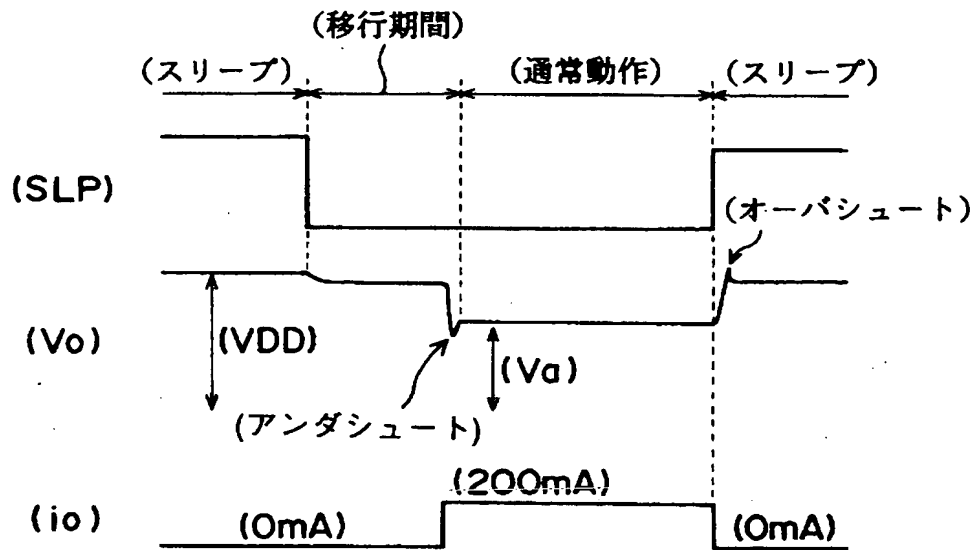
【図 6】



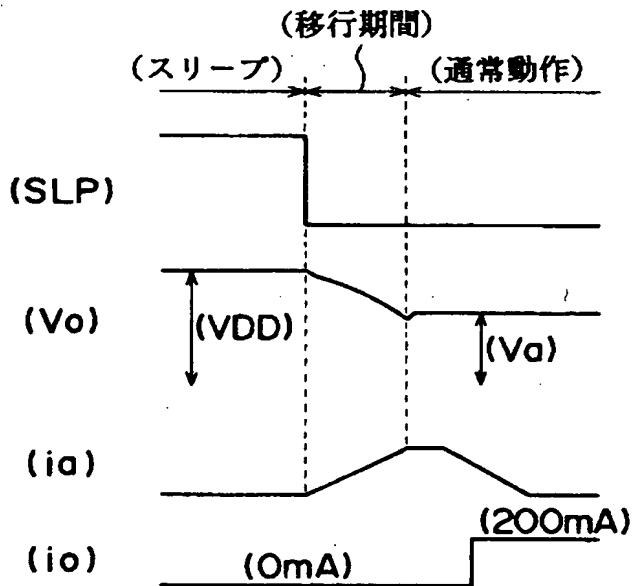
【図 7】



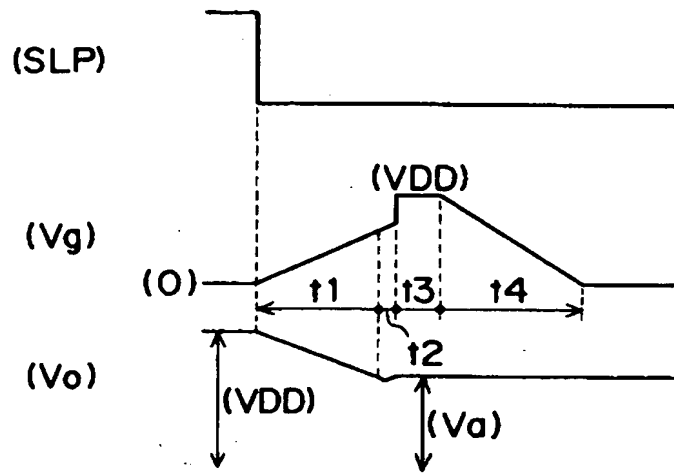
【図 8】



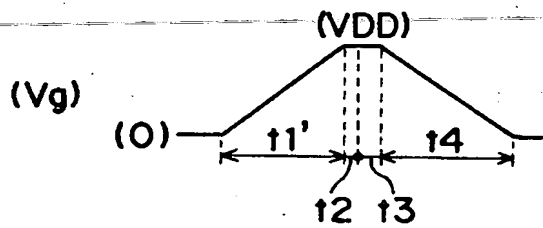
【図 9】



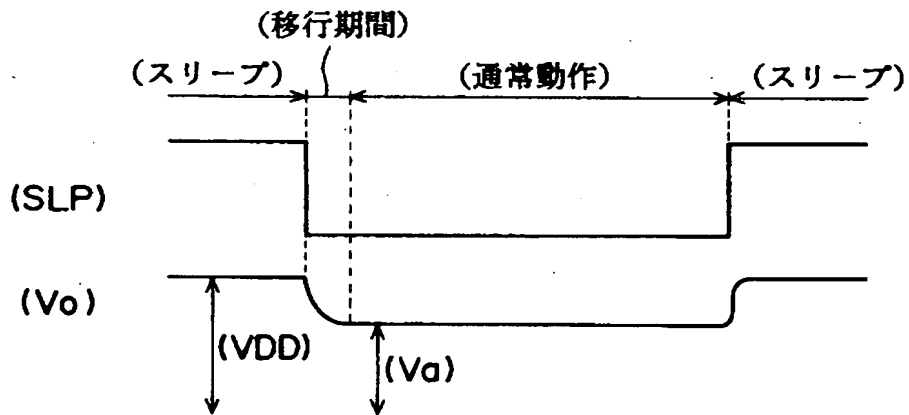
【図 10】



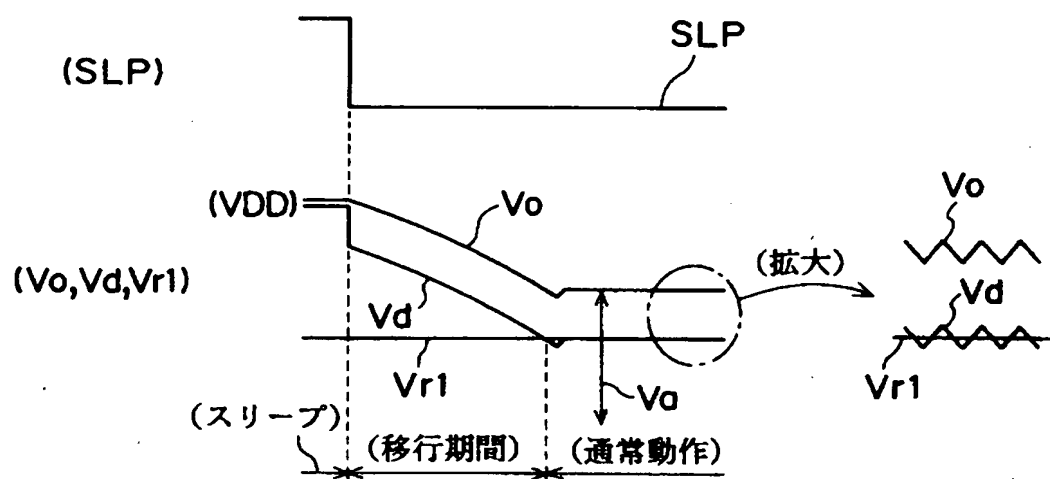
【図 11】



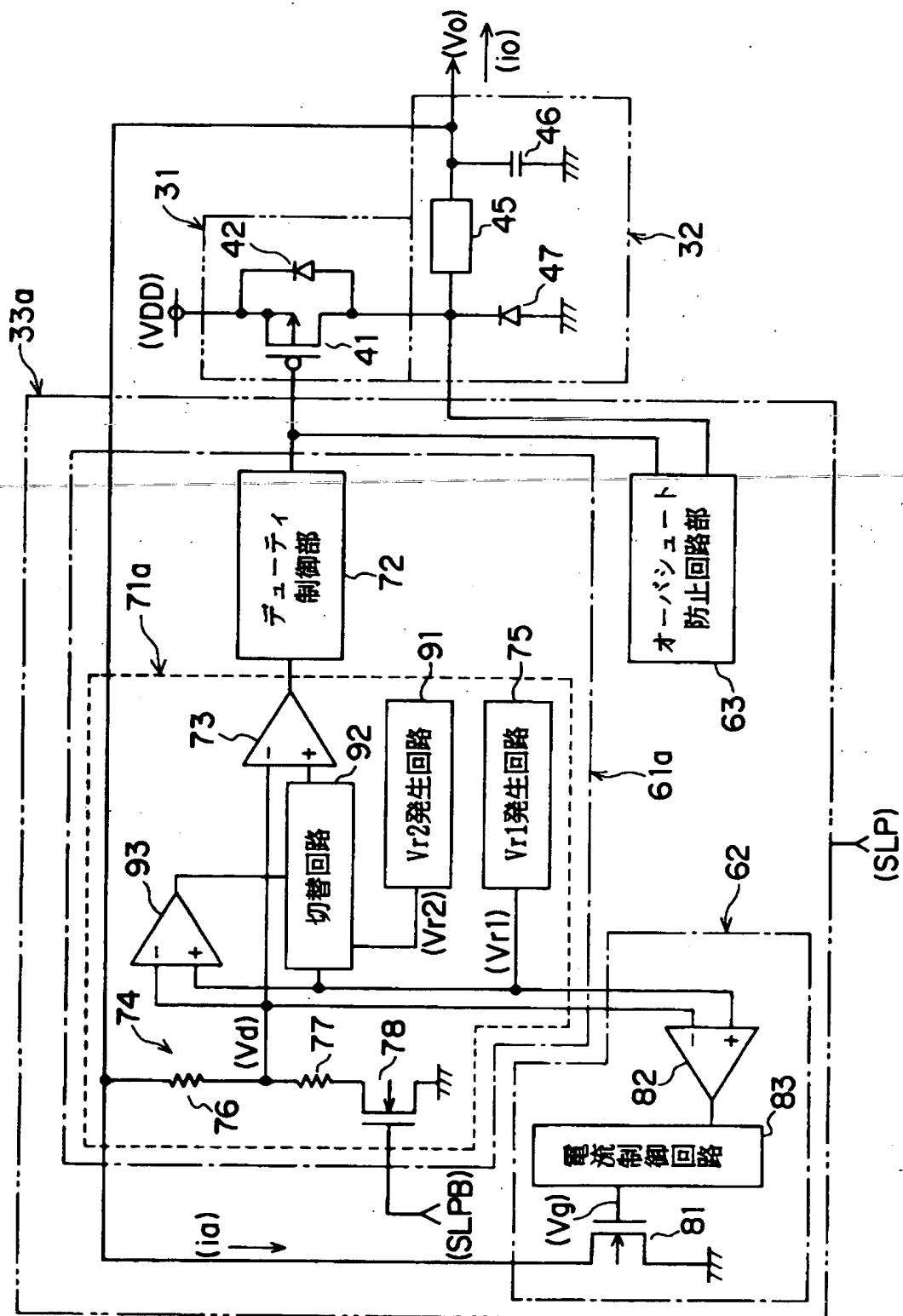
【図 12】



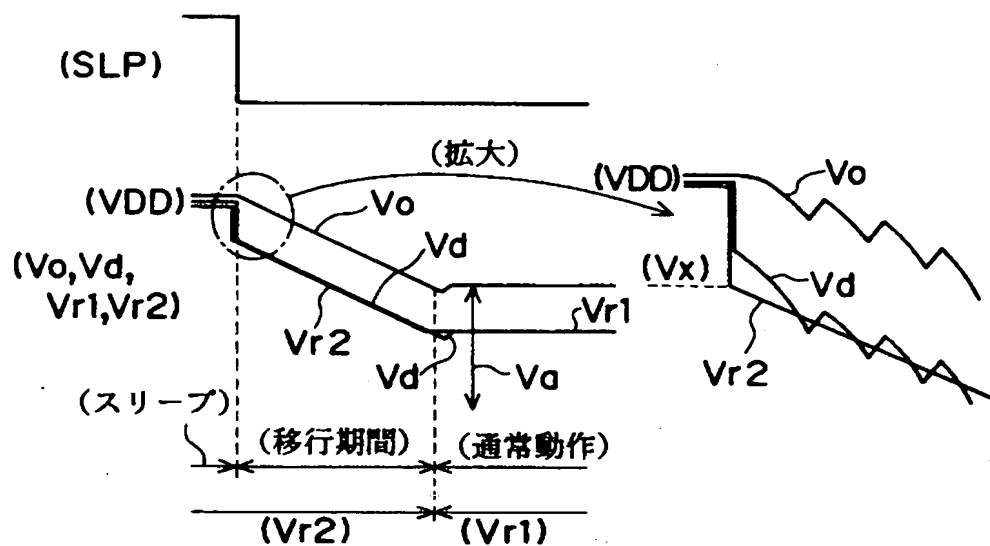
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 スリープ状態時に電力消費を低減することができると共に、電源供給先のデバイスが該スリープ状態時に間欠的に動作する場合においても該デバイスに電源供給を行うことができる電源回路を得る。

【解決手段】 CPU 11 が通常動作を行う場合は、DC-DCコンバータ 2 を動作させることにより効率よく電源電圧 VDD を電圧 V a に降圧した後、更にボルテージレギュレータ 3 によって降圧して安定した電圧 V b を CPU 11 に供給し、CPU 11 がスリープ状態になると、DC-DCコンバータ 2 は非活性化状態になって動作を停止して電力消費を抑えると共に、DC-DCコンバータ 2 をスルーした電源電圧 VDD をボルテージレギュレータ 3 のみで所望の電圧 V b にレギュレーションして CPU 11 に供給するようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー
